

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2017-538290

(P2017-538290A)

(43) 公表日 平成29年12月21日 (2017. 12. 21)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 33/08 (2010. 01)	H O 1 L 33/08	5 F 2 4 1
H O 1 L 33/20 (2010. 01)	H O 1 L 33/20	
H O 1 L 33/00 (2010. 01)	H O 1 L 33/00	Z
H O 1 L 33/32 (2010. 01)	H O 1 L 33/32	
H O 1 L 33/40 (2010. 01)	H O 1 L 33/40	
審査請求 未請求 予備審査請求 未請求 (全 31 頁) 最終頁に続く		

(21) 出願番号 特願2017-526124 (P2017-526124)
 (86) (22) 出願日 平成27年11月18日 (2015. 11. 18)
 (85) 翻訳文提出日 平成29年5月15日 (2017. 5. 15)
 (86) 国際出願番号 PCT/GB2015/053496
 (87) 国際公開番号 W02016/079505
 (87) 国際公開日 平成28年5月26日 (2016. 5. 26)
 (31) 優先権主張番号 1420452. 3
 (32) 優先日 平成26年11月18日 (2014. 11. 18)
 (33) 優先権主張国 英国 (GB)

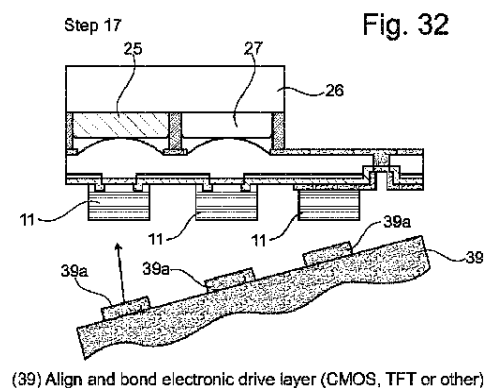
(71) 出願人 515046968
 オキュラス ブイアール, エルエルシー
 アメリカ合衆国 カリフォルニア州940
 25, メンロ パーク, ウィロー ロード
 1601
 (74) 代理人 100107249
 弁理士 中嶋 恭久
 (72) 発明者 ボナー、ジェームズ ロナルド
 イギリス国 PA8 7BS アースキン
 サンディーランズ アベニュー 48
 (72) 発明者 バレンタイン、ガレス ジョン
 イギリス国 YO24 2TN ヨーク
 チャロナーズ ロード 44

最終頁に続く

(54) 【発明の名称】 集積型カラーLEDマイクロディスプレイ

(57) 【要約】

本明細書では低消費電力の高輝度ディスプレイが記載されている。より詳細には、集積型LEDマイクロディスプレイ及び集積型LEDマイクロディスプレイを製造する方法が記載されている。



【特許請求の範囲】

【請求項 1】

集積型 L E D マイクロディスプレイを製造する方法であって、
光の波長を変化させることが可能な色変換器を提供するステップと、
前記色変換器に接続され、電気接続を形成し、かつ前記色変換器に光をポンピングすることが可能なマイクロ L E D のアレイを提供するステップと、
電子駆動層の形態でバックプレーン制御部を提供するステップと
を含み、

前記マイクロ L E D のアレイは、前記色変換器からの放射光よりも短い波長でポンピングされた光を生成し、それにより、より長い波長の光が生成される、集積型 L E D マイクロディスプレイを製造する方法。

10

【請求項 2】

青色光が前記色変換器をポンピングするために使用され、前記マイクロ L E D アレイが緑色光および赤色光を生成し、それにより、フルカラー機能用の赤色、緑色および青色のサブ画素のアレイが提供される、請求項 1 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 3】

前記色変換器は、赤色光、緑色光および青色光に色変換するために光学的にポンピングされる（例えば、U V 光）、請求項 1 または 2 に記載の集積型 L E D マイクロディスプレイを製造する方法。

20

【請求項 4】

前記集積型 L E D マイクロディスプレイは、集積型フルカラー L E D マイクロディスプレイである、請求項 1 乃至 3 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 5】

G a N 層が提供され、該 G a N 層の上にはオーミック電流拡散層が設けられている、請求項 1 乃至 4 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 6】

基板層が、サファイア、シリコン、G a N または炭化ケイ素からなる、請求項 5 に記載の集積型 L E D マイクロディスプレイを製造する方法。

30

【請求項 7】

前記オーミック電流拡散層は、N i / A u または N i / P t または A u / P t または P t / N i / A u N i / A g または P d または I T O または N i / I T O またはオーミックコンタクトを形成する同様の材料からなる、請求項 5 または 6 に記載の集積型カラー L E D マイクロディスプレイを製造する方法。

【請求項 8】

プラズマ処理を用いて導電領域および絶縁領域を形成する、請求項 1 乃至 7 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 9】

エッチングプロセスを実行して G a N 層がエッチングされてコンタクト領域および／またはエッチングストップを提供するエッチングされた領域を生成する、請求項 1 乃至 8 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

40

【請求項 10】

リソグラフィ技術およびエッチング技術を使用して電気コンタクトを可能にする開口を形成する、請求項 5 乃至 9 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイの製造する方法。

【請求項 11】

エッチングプロセスを G a N 層において実行してエッチングされた画素を形成する、請求項 5 乃至 10 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する代替方法。

50

【請求項 12】

画素は、二次元アレイパターンで形成される、請求項 1 乃至 11 のいずれか 1 項に記載の集積型 LED マイクロディスプレイを製造する方法。

【請求項 13】

n コンタクト金属層が前記エッチングされた領域に堆積される、請求項 9 に記載の集積型 LED マイクロディスプレイを製造する方法。

【請求項 14】

前記 n コンタクト金属層は、グローバルコンタクトを形成し、かつ電氣的機能を有し、かつ／または製造プロセスにおけるさらなるエッチングステップを制御するためのガイドとして機能する、請求項 13 に記載の集積型 LED マイクロディスプレイを製造する方法。

10

【請求項 15】

ボンディングパッドを堆積して n および p コンタクトを形成する、請求項 14 に記載の集積型 LED マイクロディスプレイを製造する方法。

【請求項 16】

平坦化された n および p コンタクトを有する滑らかで平坦な表面が形成される、請求項 16 に記載の集積型 LED マイクロディスプレイを製造する代替方法。

【請求項 17】

基板層が、レーザーリフトオフのような任意の適切な技術によって除去される、請求項 15 または 16 に記載の集積型 LED マイクロディスプレイを製造する方法。

【請求項 18】

画素に隣接する非吸収領域を形成するエッチングされたシリコン基板が設けられる、請求項 16 に記載の集積型 LED マイクロディスプレイを製造する方法。

20

【請求項 19】

処理された上部層に一時的なウェハが取り付けられる、請求項 17 に記載の集積型 LED マイクロディスプレイを製造する方法。

【請求項 20】

前記 GaN 層をエッチングして光学的特徴部、例えば、レンズを形成する、請求項 19 に記載の集積型 LED マイクロディスプレイを製造する方法。

【請求項 21】

前記光学的特徴部は、放射を最大にし、かつスペクトルクロストークを最小にするために凸形状である、請求項 20 に記載の集積型 LED マイクロディスプレイを製造する方法。

30

【請求項 22】

代替的なエッチングプロセスにおいて、粗面化領域を形成して光取り出しを改善するために使用される拡散表面を形成する、請求項 20 に記載の集積型 LED マイクロディスプレイを製造する方法。

【請求項 23】

サブ画素間に GaN 側壁を形成するエッチングプロセスが代替的に設けられる、請求項 19 乃至 22 のいずれか 1 項に記載の集積型 LED マイクロディスプレイを製造する方法。

【請求項 24】

エッチングプロセスは、GaN 層を貫通するようにエッチングして前記 n コンタクト金属層に達するエッチング・ビアを形成することを含む、請求項 19 乃至 23 のいずれか 1 項に記載の集積型 LED マイクロディスプレイを製造する方法。

40

【請求項 25】

n コンタクト層がエッチングストップとして代替的に使用される、請求項 19 乃至 24 のいずれか 1 項に記載の集積型 LED マイクロディスプレイを製造する方法。

【請求項 26】

導電性金属グリッドおよび／または不透明層を堆積する堆積ステップが設けられ、前記導電性金属グリッドおよび／または前記不透明層は、バイアスを低減し、かつ遮蔽効果を有する、請求項 20 乃至 25 のいずれか 1 項に記載の集積型 LED マイクロディスプレイを製造する方法。

50

【請求項 27】

I T O のような透明導電性材料を金属の代わりに堆積して透明導電層を代替的に形成する、請求項 20 乃至 26 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 28】

前記透明導電層の厚さは、L E D に対する単層反射防止膜として作用するように注意深く選択される、請求項 27 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 29】

代替的に、G a N 側壁が n 金属の層でコーティングされ、かつクロストークを最小にするために側壁全体に亘って被覆される、請求項 24 に記載の集積型 L E D マイクロディスプレイを製造する方法。

10

【請求項 30】

S i O₂ の層または任意の他の適切なタイプの単層または多層コーティングが、光学的特徴部（例えば、レンズ）および n 金属層の表面の上に堆積される、請求項 25 乃至 29 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 31】

光学的特徴部の湾曲した領域または粗面化された領域のみが誘電体コーティングで覆われている、請求項 30 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 32】

多層誘電体コーティングが堆積される、請求項 31 に記載の集積型 L E D マイクロディスプレイを製造する方法。

20

【請求項 33】

コーティングは、前記光学的特徴部のみを被覆するようにパターン化されるか、またはショートパスフィルタとして作用する機能を有する全面を被覆する、請求項 32 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 34】

色変換サブアセンブリにおいて、青色光は入射させるが、緑色および赤色などのより長い変換光を反射させるショートパスフィルタが設けられる、請求項 21 乃至 32 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 35】

代替的に、色変換器が導波路として動作し、光導波機能を提供する改質屈折率透明層および未改質屈折率層の不透明／反射構造が設けられる、請求項 34 に記載の集積型 L E D マイクロディスプレイを製造する方法。

30

【請求項 36】

代替的に、色変換器はロングパスフィルタであり、前記ロングパスフィルタは、色変換層の下に位置する、請求項 34 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 37】

前記ロングパスフィルタは、変換された光を出射するが、青の未変換光を再循環する、請求項 36 に記載の集積型 L E D マイクロディスプレイを製造する方法。

40

【請求項 38】

プロセスの次のステップで、前記色変換器が L E D 層に搬送され、前記 L E D 層と位置合わせされて結合される、請求項 34 乃至 37 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 39】

色変換サブアセンブリは、デバイスの別の部分に取り付けられる、請求項 38 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 40】

色変換サブアセンブリが青色光でポンピングされ、赤色／緑色変換層が設けられる、請求項 39 に記載の集積型 L E D マイクロディスプレイを製造する方法。

50

【請求項 4 1】

色変換サブアセンブリは、青色光でポンピングされるものであり、蛍光体または量子ドットまたは有機色素またはそれらの組み合わせまたは透明／拡散層（青色）が設けられる、請求項 4 0 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 4 2】

透明基板から垂直下方向に延在する不透明／黒色マスクまたは反射マスクが設けられる、請求項 4 1 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 4 3】

前記反射マスクは、光を再循環させ、クロストークを最小にし、かつディスプレイのコントラストを向上させる性能を有する、請求項 4 2 に記載の集積型 L E D マイクロディスプレイを製造する方法。

10

【請求項 4 4】

前記色変換器が、青色光を透過し赤色光および緑色光を反射する性能を有する層を有する、請求項 4 1 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 4 5】

代替的に、フィルタが色変換層の後に位置し、青色光が再循環され、赤色および緑色が透過される、請求項 4 2 または 4 3 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 4 6】

前記一時的な層が除去される、請求項 4 2 乃至 4 5 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

20

【請求項 4 7】

前記電子駆動層は、L E D 上の金属ボンディングパッドに搬送され整列されて、金属ボンディングパッドに取り付けられる、請求項 4 6 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 4 8】

金属ボンディング層は、低温はんだで形成される、請求項 4 7 に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 4 9】

低温ボンディングを形成するために直接分子ボンディングが使用される、請求項 4 8 に記載の集積型 L E D マイクロディスプレイを製造する方法。

30

【請求項 5 0】

前記電子駆動層が、C M O S、T F T または N M O S 層である、請求項 4 7 乃至 4 9 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 5 1】

前記集積型 L E D マイクロディスプレイは、赤色変換セル、緑色変換セル、及び色変換材料を含まない青色画素（透明／拡散層を含み得る）を含む、請求項 1 乃至 5 0 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 5 2】

集積型カラー L E D マイクロディスプレイは、不透明／反射マトリクスを有する、請求項 5 1 に記載の集積型 L E D マイクロディスプレイを製造する方法。

40

【請求項 5 3】

前記集積型 L E D マイクロディスプレイは、赤色変換セル、緑色変換セル、および色変換材料を含むセルを有する青色画素のマトリクスを有する、請求項 1 乃至 5 2 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイを製造する方法。

【請求項 5 4】

前記集積型 L E D マイクロディスプレイは、赤色変換セル、緑色変換セル、色変換セルを有する青色画素のマトリクス、および不透明／反射マトリクスを有する、請求項 1 乃至 5 3 のいずれか 1 項に記載の集積型カラー L E D マイクロディスプレイを製造する方法。

【請求項 5 5】

50

集積型 L E D マイクロディスプレイであって、

光の波長を変化させることが可能な色変換器と、

前記色変換器に接続され、電氣的接続を形成し、前記色変換器に光をポンピングすることが可能なマイクロ L E D のアレイと、

電子駆動層の形態のバックプレーン制御部とを備え

L E D は、前記色変換器からの放射光よりも短い波長で光をポンピングし、それにより、より長い波長の光が生成される、集積型 L E D マイクロディスプレイ。

【請求項 5 6】

前記集積型 L E D マイクロディスプレイは、請求項 1 乃至 5 4 のいずれか 1 項に記載の方法によって形成される、請求項 5 5 に記載の集積型 L E D マイクロディスプレイ。

10

【請求項 5 7】

前記色変換器は、色変換層と、基板と、透明層と、マスクとを含む、請求項 5 5 または 5 6 に記載の集積型 L E D マイクロディスプレイ。

【請求項 5 8】

前記色変換層は、蛍光体、量子ドット、有機物質またはこれらの組み合わせからなる、請求項 5 7 に記載の集積型 L E D マイクロディスプレイ。

【請求項 5 9】

前記基板は、ガラス、サファイア、シリコン、G a N、炭化ケイ素または他の適切な材料で作製されている、請求項 5 7 または 5 8 に記載の集積型カラー L E D マイクロディスプレイ。

20

【請求項 6 0】

前記透明層は、青色光を出射させるか、拡散または散乱機能を代替的に提供する、請求項 5 7 乃至 5 9 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイ。

【請求項 6 1】

マスクが不透明／黒色または反射性である、請求項 5 7 乃至 6 0 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイ。

【請求項 6 2】

L E D が、レンズの形態のような光学的特徴部を含む、請求項 5 5 乃至 6 1 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイ。

30

【請求項 6 3】

前記光学的特徴部が凸形状であり、放射を最大にし、かつスペクトルクロストークを最小にする、請求項 6 2 に記載の集積型 L E D マイクロディスプレイ。

【請求項 6 4】

L E D は、n および p コンタクトを形成するように堆積されたボンディングパッドを含む、請求項 5 5 乃至 6 3 のいずれか 1 項に記載の集積型 L E D マイクロディスプレイ。

【請求項 6 5】

バックプレーン制御部は、ボンディングパッドを有する電子駆動層を含む、請求項 5 5 乃至 6 4 のいずれか 1 項に記載の集積型カラー L E D マイクロディスプレイ。

【請求項 6 6】

40

前記電子駆動層が、C M O S、T F T、N M O S または B J T ベースの層である、請求項 5 5 乃至 6 5 のいずれか 1 項に記載の集積型カラー L E D マイクロディスプレイ。

【請求項 6 7】

バックプレーン制御部上のボンディングパッドは、L E D 上のボンディングパッドに取り付けられる、請求項 6 5 または 6 6 に記載の集積型カラー L E D マイクロディスプレイ。

【請求項 6 8】

上述したように記載され、かつ／または図 1 乃至図 4 1 のいずれかに示されたような集積型カラー L E D マイクロディスプレイ。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、低消費電力の高輝度ディスプレイに関する。より詳細には、本発明は、集積型カラーLEDマイクロディスプレイ、及び集積型カラーLEDマイクロディスプレイを製造する方法に関する。

【背景技術】

【0002】

多くのカラーマイクロディスプレイが存在するが、従来技術のカラーマイクロディスプレイの多くには、多数の欠点がある。

OLED、液晶、MEMSなどの技術を使用したマイクロディスプレイの開発を報告する広範な文献がある。後者の2つは、完全に最高輝度の光源の外部に配置されたパターンジェネレータに基づいており、その結果、マイクロディスプレイを形成するために余分な部品が必要となる。さらなる基本的な欠点は、全ての画素が画像を表示するために使用されなくても、全ての画素が光でアドレスされなければならないので、電力損失が生じることである。このようなディスプレイのコントラスト比も損なわれる。

【0003】

OLED技術は放射技術であり、簡単に言えば、蛍光発光層を取り囲むアノードおよびカソードに基づいている。これらの技術は、しばしば、小さな画素形成のためにカラーフィルタを有する白色光を使用する。その結果、RGBディスプレイにおける色域を達成するために、白色画素のスペクトル範囲の約60～70%が損失であるか、または必要になる。さらに、白色OLEDはモノクロOLEDよりも効率が悪いので、実際には放射光のわずか10～20%しか使用することができない。これは、全体的なOLED構造の効率性または光がどのようにして取り出されるかについての効率性が考慮されていない。

【0004】

さらに、OLED構造は、より複雑であり、また、電子輸送層、正孔ブロック層および電子ブロック層のすべてが、厚さおよび屈折率が慎重に制御される。これは、電氣的にドーピングされた電子輸送層および正孔輸送層が電荷注入を高め、かつ低い動作電圧を可能にするので、ディスプレイ性能を改善するために重要である。電荷ブロック層は、電荷キャリアを発光層内に閉じ込めるのを支援する。さらに、他の問題は、青色OLEDの波長領域における効率が低く、寿命が限られており、低輝度レベルと結合されていることが、ディスプレイの性能が根本的に制限されていることを意味する。

【0005】

個々のLEDの表面実装ボンディングを提供する技術は存在する。典型的には、ピック・アンド・プレイス技術は大規模LEDにしか使用できない。したがって、ディスプレイの1インチあたりの画素数が制限される。また、画素あたり2つの電気コンタクトが必要である。前者の点については、マイクロLEDをピック・アンド・プレイスする技術が開発されている。しかしながら、電気コンタクトを提供するためには、小さな画素ピッチに対して後処理が必要とされるという課題がある。

【0006】

このようなシステムの短所は、次のように要約することができる。

- ・製造—フリップチップボンディング当たりの時間、各画素に関する同時nおよびp接続、および10 μm未満の寸法で画素を配置する特性。

【0007】

- ・半導体処理技術を用いたピック・アンド・プレイスマイクロLEDの後処理。第2のグローバルコンタクトを形成するためにLEDアレイの全域にコンフォーマルなコンタクト層を設けること。または、パターン形成されたコンタクト層が形成される平坦化構造を提供するために平坦化技術を組み合わせること。これを可能にするために光脱出用の透明コンタクト層またはコンタクト層の後工程のパターニングを提供する必要がある。制御バックプレーンへの電氣的接続を提供する必要がある。

【0008】

- ・性能—特に、駆動電流および温度に対する色の変化が小さい緑色LEDデバイスの選

10

20

30

40

50

択。視覚応答のピーク付近の波長の小さな変化（すなわち、緑色）に対する眼の感受性のため、各緑色LEDの発光波長を狭い分布にする必要性。

【0009】

本発明の少なくとも1つの態様の目的は、前述の問題の少なくとも1つまたは複数回避または緩和することである。

本発明の少なくとも1つの態様の更なる目的は、低消費電力の高輝度ディスプレイ及びディスプレイを製造する方法を提供することである。

【発明の概要】

【0010】

本発明の第1の態様によれば、集積型LEDマイクロディスプレイを製造する方法であって、

光の波長を変化させることが可能な色変換器を提供するステップと、

色変換器に接続され、電気接続を形成し、かつ色変換器に光をポンピングする（pumping）ことが可能なマイクロLEDのアレイを提供するステップと、

電子駆動層の形態でバックプレーン制御部を提供するステップとを含み、

マイクロLEDのアレイは、色変換器からの放射光よりも短い波長でポンピングされた光を生成し、それにより、より長い波長の光が生成される、集積型LEDマイクロディスプレイを製造する方法が提供される。

【0011】

製造プロセスは、以下に記載される多数の異なる段階を含む。様々な実施形態において、図面を参照して説明することも明らかである。しかしながら、特定の実施形態は、これらの特定の詳細のうちの1つまたは複数を用いることなく、または他の既知の方法および構成と組み合わせて実施することができる。

【0012】

第1に、効率的な光生成のために最適化されたpおよびnドープGaN領域および層を含むGaN層が提供され、GaN層の上にオーミック電流拡散層および二酸化シリコン層が設けられている。GaN層の下方には、他の層よりもかなり厚い基板層が設けられている。オーミック電流拡散層は、20nmの厚さを有する。二酸化ケイ素の層は、約200nmの厚さを有する。基板層は、約200μmの厚さを有する。基板層は、サファイア、シリコン、GaNまたは炭化ケイ素のような任意の適切な材料とすることができる。オーミック電流拡散層の材料の例は、Ni/AuまたはNi/PtまたはAu/PtまたはPt/Ni/AuNi/AgまたはPdまたはITOまたはNi/ITOであり得る。

【0013】

プロセスは、画素または画素のアレイを形成するためのp-GaNの選択的な非活性化から開始することができる。これは次のように記載される。

・第1の拡散層（例えば、Ni/Au）がGaN p層の上に堆積される。

【0014】

・次に、パターン化されたマスク特徴部（例えば、フォトレジスト）が拡散層上に堆積される。

・構造がArなどのプラズマに露出されて拡散を除去した後、Cl₂によりn-GaNに対して約1μmまでエッチングする（このプロセスは、プロセスの後の段階であり得る）

・次に、パターン化されたマスク特徴部（例えばフォトレジスト）が画素形成のために堆積される。

【0015】

・次に、層状構造をエッチング（プラズマまたはドライ）例えばArに晒して、マスクによって保護されていない領域から第1の拡散層を除去する。

・次に、構造をCHF₃などのプラズマに晒す。

【0016】

・次に、パターン化された特徴部の除去を実行する。

・次に、プラズマに晒された領域に高抵抗層を形成するための構造のアニーリングを行い、マスクによって保護された層において導電性（例えば、オーミックコンタクト）を維持して、画素または画素のアレイを形成する。

【0017】

代替的に、プロセスは、 p -Ga N の物理的エッチングを使用して画素または画素のアレイ形成とともに開始することができる。これは次のように記載される。

・第1の拡散層（例えば、Ni/Au）がGa N p 層の上に堆積される。

【0018】

・次に、パターン化されたマスク特徴部（例えば、フォトレジスト）が拡散層上に堆積される。

・構造は、Cl₂のようなプラズマに晒され、 n -Ga N に対して約1 μ mまでエッチングして画素を残す。

【0019】

・次に、パターン化された特徴部の除去を実行する。

・その後、構造をアニーリングして画素または画素のアレイにおいて導電性を有するもの（例えば、オーミックコンタクト）を形成する。

【0020】

次に、画素の上の二酸化シリコンの層が除去され、次いで、二酸化シリコンの完全な層の形態で再堆積される。二酸化シリコンの完全な層は、約200 nmの厚さを有し、かつPECVDなどの任意の適切な技術を使用して堆積され得る。

【0021】

次に、画素の上の二酸化シリコンの完全な層の領域をエッチング除去して、オーミック電流拡散層への窓と、共通コンタクトが形成される窓とを形成する。この実施形態では、これは共通の n コンタクト領域である。不活性化プロセスに関して、パッシベーションを提供するために側壁に二酸化ケイ素を形成する必要がある。物理的にエッチングされた画素または画素アレイに対して、 n -コンタクト領域が局所的にエッチングされるとき、側壁の表面不活性化が必要とされる。さらに、エッチングの領域に n コンタクト金属層が堆積される。 n コンタクト金属は、Ti/Auであってもよく、約50/250 nmの厚さを有してもよい。 n コンタクト金属層は、グローバルコンタクトを形成し、かつ電気的機能および/または製造プロセスにおける更なるエッチングステップ（エッチングストップ）を制御するためのガイドとしての機能を有し得る。

【0022】

次に、ボンディングパッドが堆積されて n および p コンタクトが形成される。ボンディングパッドは、約2 μ mの高さおよび約8 μ m $\times$ 8 μ mの断面を有し得る。同じ高さの p および n ボンディングパッドを有することが意図される。さらに、ボンディングパッドは、金属がどこにでも堆積されるようにマスク層上に形成することができる。これにより、デバイスの化学研磨のための手段が提供されて、金属および誘電体平面を有する平坦な頂部層が提供される。このような頂部構造は、同じ高さで均一なボンディング手段（ p および n ボンディングパッドスタック）を提供する。その結果、フリップチップ・パンプ・ボンディングおよびファン・デル・ワールス力に基づく直接ボンディングを含む（これに限定されない）ボンディング技術の範囲をバックプレーン制御部（CMOS、TFTまたはNMOS層）に対するGa N に関して利用することができる。後者は、低温でかつ非常に小さいボンディング力でのボンディングが可能であるため、特に興味深い。LEDアレイのサイズが増大するにつれて、必要とされる総ボンディング力は重要な特性となり、かつアレイサイズの物理的制限をもたらす可能性がある。また、低温ボンディングのために、アクティブマトリクスOLED（AMOLED）制御バックプレーンと性質が類似しているTFTバックプレーン構造を用いることができる。これにより、コストと複雑さが低減され、より大きな物理的寸法を有するディスプレイへのルートが提供される。

【0023】

10

20

30

40

50

シリコン製の一時的なウェハがGaNウェハにボンディングされ得る。一時的なウェハは、約500 μm の厚さを有し、かつGaN層よりもかなり厚い。

次に、基板層は、レーザーリフトオフのような任意の適切な技術によって除去され得る。基板層がシリコンである場合には、化学機械的研磨およびエッチングまたはこれらの技術の組み合わせが可能である。これは、全体的な設計に使用することができる、シリコン基板内にマイクロフィーチャを形成する付加的な可能性を有する。

【0024】

次に、バッファまたはn-GaN層をエッチングして光学的特徴部が好ましい実施形態ではマイクロレンズの形態で形成され得る。光学的特徴部は、放射を最大にし、かつ画素間の光学的クロストークを最小にするために凸形状であってもよい。光学的特徴部は、約8 μm の幅を有し得る。

10

【0025】

代替例において、エッチングプロセスは、画素に近接して粗面化領域を形成してもよい。深さ1 μm の粗面化された領域を用いて、光取り出しを改善することができる。

更なる代替例では、GaNピラーが形成され得るマトリクスエッチングプロセスが行われ得る。GaNピラーは、約2 μm の高さを有し得る。GaNピラーはまた、LED画素出力間の光学的分離を最大にして光学的クロストークを低減するために、先端が切り取られている形状が好ましい。

【0026】

n側エッチングプロセスは、ウェハの他方側のnコンタクト金属層に対するエッチングにより適切なエッチングストップを提供することによって、正確に制御され得る。終点検出のようなリアルタイムプラズマモニタリング技術を用いることにより、エッチング深さをGaN量子ウェルの位置に関して正確に制御することができる。

20

【0027】

更なる代替例では、nコンタクト層は、レンズの厚さを制御するためのエッチングストップとして使用することができる。終点検出は、レンズエッチング中にnコンタクト金属層まで同時に開口し、かつレンズ厚さの制御を提供するために使用されてもよい。

【0028】

次に、導電性金属グリッドおよび／または不透明層を堆積する堆積ステップが行われ得る。導電性金属グリッドおよび／または不透明層は、nコンタクト抵抗を減少させるとともに、遮蔽効果を有する。金属グリッドおよび／または不透明層は、約200nmの厚さを有し、任意の適切な技術を用いて堆積されてもよい。

30

【0029】

代替例において、ITO導電層を金属の代わりに堆積して、透明導電層を形成してもよい。適切なITOの厚さの選択は、光の透過率を増加させるための反射防止コーティングをもたらし得る。

【0030】

更なる代替例では、GaNピラーが形成される場合、クロストークを最小にするために側壁を被覆するようにn金属の層でコーティングしてもよい。n金属の層は、約200nmの厚さを有し得る。

40

【0031】

SiO₂の層または任意の他の適切なタイプの単層または多層コーティングを、GaNレンズおよびn金属層の表面上に堆積させてもよい。これは、フレネル反射を減少させるので、GaN表面の保護および反射防止機能の両方を提供する。コーティングは、約80nmの厚さを有し得る。

【0032】

更なる代替例では、光学的特徴部の湾曲した領域または粗面化された領域のみを誘電体コーティングで覆ってもよい。誘電体コーティングは、二酸化ケイ素から作製されてもよく、約80nmの厚さを有し得る。

【0033】

50

更なる代替例では、コーティングを堆積してもよい。これは、多層誘電体コーティングであり得る。ショートパス波長フィルタ機能を提供する機能を有する1つのコーティングまたは追加のコーティングまたは層が単に設けられてもよい。ショートパスフィルタは、青色光がGaNを出射するが、より長い波長（すなわち、色変換層によって生成された赤色光または緑色光）を反射するように設計され得る。

【0034】

プロセスはまた、色変換効率を向上させるとともに、コントラストの表示を改善するために、いくつかの実施形態において、サブ画素に隣接する高反射率層を有することができる色変換器の使用を必要とする。色変換器は、色変換層と、基板と、透明層と、マスクとを含む。色変換層は、蛍光体、量子ドット、有機物質、またはそれらの組み合わせとしてもよい。色変換層は、約1~20 μm 、好ましくは約1~10 μm の厚さを有し得る。基板は、ガラス、サファイア、シリコンまたは任意の他の適切な材料から作製され得る。青色光が色変換器を光学的にポンピングするために使用される場合、ディスプレイの青色サブ画素の入射光を変換する必要はない。その結果、青色セルに何ら材料を設けないようにするか、シリコンから作製され、かつ青色光を出射することができる透明層を設けるか、または赤色および緑色蛍光体と同様のビームプロファイルを提供する拡散または散乱機能を提供するようにしてもよい。マスクは、（一般にLCDディスプレイで使用される）不透明／ブラックマトリクス樹脂または反射性のものであってもよく、Au、AlまたはAgから作製され得る。

【0035】

代替的な色変換器では、エッチングされたシリコン基板が設けられてもよい。色変換器は、色変換層、透明層およびエッチングされたシリコン領域を含み得る。

代替的な色変換器では、青色光を入射させるが、緑色および赤色などのより長い変換光を反射するショートパスフィルタが設けられ得る。

【0036】

更なる代替例では、導波路のように動作するものとして記載することができる色変換器が設けられ得る。前述のように、色変換層、透明層、およびマスクが設けられる。加えて、不透明／反射フィーチャ、光導波機能を提供する改質屈折率透明層、および未改質屈折率層が設けられる。

【0037】

更なる代替例では、ロングパスフィルタとして記載することができる色変換器が設けられる。色変換器は、色変換層の下方に位置するロングパスフィルタを有する。ロングパスフィルタは、変換された光を出射することができるが、青色の変換されていない光を再循環する。

【0038】

プロセスの次のステップでは、色変換器がLED層に搬送され、かつLED層と整列される。

次に、色変換器がデバイスの他の部分に取り付けられる。好ましい実施形態では、色変換器は青色光でポンピングされ、蛍光体層である赤色／緑色変換層が設けられている。代替的に、層は、量子ドットまたは透明／拡散層（青色）またはそれらの混合体であってもよい。ガラス基板から垂直下方に延在する不透明／黒色マスクまたは反射マスクが設けられ得る。反射マスクは、光を再循環させ、クロストークを最小にし、ディスプレイのコントラストを向上させる性能を有していることが好ましい。したがって、反射マスクは、フィルタが透過層の前に配置される場合、青色光を透過し、赤色光及び緑色光を反射する性能を有する。代替例において、フィルタが透過層の後に配置される場合、青色光は再循環され、赤色および緑色は透過される。

【0039】

プロセスの次の段階で、一時的な層が除去され得る。

次に、LED上の金属ボンディングパッドに電子駆動層が搬送され、整列されて取り付けられる。ボンディング層スタックは、錫またはインジウムなどの低温はんだ材料、また

10

20

30

40

50

はそれらの合金を含み得る。GaN p層の平坦性は、ファン・デル・ワールス力、水素結合および強力な共有結合を含む低温直接ボンディングを使用する可能性を提供する。電子駆動層は、CMOS、TFTまたはNMOSのNMOS層であってもよい。特に、直接ボンディング技術を使用する性能は、マトリクス有機発光ダイオード（AMOLED）マイクロディスプレイに用いられる薄膜トランジスタ技術を適合させる性能を許容する。

【0040】

集積型カラーLEDマイクロディスプレイは、画素レイアウトの実施例を有する。一実施形態では、3つのサブ画素が20×20ミクロンのセル内に配置され、ボンディングパッドは画素から離れて配置される。

【0041】

別の実施形態では、画素レイアウトの実施例は、各画素に含まれる4つのサブ画素を含み、ボンディングパッドが画素上に配置され得る。

集積型カラーLEDマイクロディスプレイは、赤色変換セル、緑色変換層、及び色変換セルを有していない青色画素（透明／拡散層を含む）を含み得る。

【0042】

代替例の集積型カラーLEDマイクロディスプレイでは、不透明／反射マトリクスが設けられ得る。

代替例の集積型カラーLEDマイクロディスプレイでは、赤色変換セル、緑色変換セルおよび色変換セルを有していない青色画素のマトリクスが設けられてもよい。

【0043】

更なる代替例の集積型カラーLEDマイクロディスプレイでは、赤色変換セル、緑色変換セル、色変換セルを有していない青色画素のマトリクス、および不透明／反射マトリクスが設けられてもよい。

【0044】

本発明の第2の態様によれば、集積型カラーLEDマイクロディスプレイであって、光の波長を変化させることが可能な色変換器と、色変換器に接続され、電氣的接続を形成し、色変換器に光をポンピングすることが可能なLEDと、

電子駆動層の形態のバックプレーン制御部とを備え

LEDは、色変換器からの放射光よりも短い波長で光をポンピングし、それにより、より長い波長の光が生成される、集積型LEDマイクロディスプレイが設けられる。

【0045】

概して、本発明は、低消費電力の高輝度ディスプレイを提供する集積型カラーLEDマイクロディスプレイを提供することにある。

集積型カラーLEDマイクロディスプレイは、第1の態様で定義したように形成することができる。

【0046】

色変換器は、色変換層、基板、透明層およびマスクを含み得る。色変換層は、蛍光体、量子ドット、有機物質、またはそれらの組み合わせから作製され得る。色変換層は、約5～20μm、好ましくは約10～12μmの厚さを有し得る。基板は、ガラス、サファイア、シリコンまたは任意の他の適切な材料から作製され得る。透明層は、青色光を出射することができ、代替的には、拡散または散乱機能を提供し得る。マスクは、不透明／黒色または反射性であってもよい。

【0047】

LEDは、レンズの形態である光学的特徴部を備えてもよい。光学的特徴部は凸形状であり、発光を最大にし、スペクトルクロストークを最小にする。

LEDはまた、不透明／黒色マスクまたは反射性のマスクであって、Alまたは樹脂／ポリマーなどの金属から作製され得るマスクを含み得る。

【0048】

LEDは、nおよびpコンタクトを形成するように堆積されたボンディングパッドを含み得る。ボンディングパッドは、約2 μm の高さおよび約8 $\mu\text{m} \times 8 \mu\text{m}$ の断面を有し得る。

【0049】

バックプレーン制御部は、ボンディングパッドを有する電子駆動層を含み得る。電子駆動層は、CMOS、TFTまたはNMOSのNMOS層であってもよい。

バックプレーン制御部のボンディングパッドは、LEDのボンディングパッドに取り付けられる。

【図面の簡単な説明】

【0050】

10

【図1】本発明の一実施形態による、上にオーミック電流拡散層および二酸化シリコン層があり、下にサファイア基板層があるGaN層を示す図。

【図2】本発明の一実施形態によるGaN層が二酸化シリコン層とオーミック電流拡散層とからなるエッチングされた画素を有する代替の処理方法を示す図。

【図3】本発明の一実施形態による、図1に示すデバイスに対して実行されるエッチングプロセスを示す図。

【図4】本発明の一実施形態による、画素の周りのGaN層がエッチングされて、エッチングされた領域を形成する図2に示すデバイスの代替のデバイスを示す図。

【図5】本発明の一実施形態による、画素を形成するためにオーミック電流拡散層および二酸化シリコン層がエッチングされるエッチングプロセスを示す図。

20

【図6】本発明の一実施形態による、導電領域および絶縁領域を生成するために使用されるプラズマ処理を示す図。

【図7】本発明の一実施形態による、画素上の二酸化シリコン層が除去され、次いで完全な層の形態で再堆積された二酸化シリコンの層を示す図。

【図8】本発明の一実施形態によるコンタクト窓を形成するために画素上の領域がエッチング除去された二酸化シリコンの完全な層を示す図。

【図9】本発明の一実施形態によるnおよびpコンタクトを形成するために堆積されたボンディングパッドを示す図。

【図10】本発明の一実施形態による除去される基板層を示す図。

【図11】本発明の一実施形態による光学的特徴部を形成するためにエッチングされるGaN層を示す図。

30

【図12】本発明の一実施形態による粗面化された領域を形成するための代替例のエッチング方法を示す図。

【図13】本発明の一実施形態による、マトリクスエッチングプロセスによりGaNピラーが形成される更なる代替例のエッチング方法を示す図。

【図14】本発明の一実施形態による、nコンタクト金属層に対するエッチを形成するためにGaN層が貫通してエッチングされる更なる代替例のエッチング方法を示す図。

【図15】本発明の一実施形態による、nコンタクト層がレンズの厚さを制御するためのエッチングストップとして使用される更なる代替例を示す図。

【図16】本発明の一実施形態による、導電性金属グリッドおよび／または不透明層が堆積される堆積ステップを示す図。

40

【図17】本発明の一実施形態による、透明導電層を形成するために、金属の代わりにITO導電層が堆積される代替例の堆積ステップを示す図。

【図18】本発明の一実施形態によるGaNピラーがn金属の層でコーティングされている更なる代替例を示す図。

【図19】本発明の一実施形態による、図16に示すデバイスの上方斜視図。

【図20】本発明の一実施形態による、GaNレンズの表面およびn金属層の上にSiO₂の層または任意の他の適切なタイプの単層または多層コーティングが堆積されるプロセスを示す図。

【図21】本発明の一実施形態による、光学的特徴部の湾曲した領域のみが誘電体コーテ

50

ィングで覆われている更なる代替例を示す図。

【図 2 2】本発明の一実施形態による、ショートパス波長フィルタ機能を提供する機能を有するようにコーティングが堆積された更なる代替例を示す図。

【図 2 3】本発明の一実施形態による色変換器を示す図。

【図 2 4】本発明の一実施形態によるエッチングされたシリコン基板がある代替例の色変換器を示す図。

【図 2 5】本発明の一実施形態によるショートパスフィルタである別の代替例の色変換器を示す図。

【図 2 6】本発明の一実施形態による導波路のように動作するものとして記載された別の代替例の色変換器を示す図。

【図 2 7】本発明の一実施形態によるロングパスフィルタとして記載された別の代替例の色変換器を示す図。

【図 2 8】本発明の一実施形態による、LED 層の上に搬送されて、LED 層と整列される色変換器を示す図。

【図 2 9】LED 層の他の部分の上に整列される色変換層を示す更なる図。

【図 3 0】本発明の一実施形態による、デバイスの他の部分に取り付けられた色変換器を示す図。

【図 3 1】本発明の一実施形態による、除去される一時的な層を示す図。

【図 3 2】本発明の一実施形態による、金属ボンディングパッド上に搬送され、金属ボンディングパッドに整列される電子駆動層を示す図。

【図 3 3】本発明の一実施形態によるボンディングパッドに取り付けられた金属ボンディングパッドを示す図。

【図 3 4】本発明の一実施形態による画素レイアウトの実施例の平面図。

【図 3 5】本発明の一実施形態による画素レイアウトの実施例の平面図。

【図 3 6】本発明の一実施形態による画素レイアウトの更なる実施例の平面図。

【図 3 7】本発明の一実施形態による画素レイアウトの更なる実施例の平面図。

【図 3 8】本発明の一実施形態による、赤色変換セル、緑色変換層、及び色変換セルを有していない青色画素を示す図。

【図 3 9】本発明の一実施形態による不透明／反射マトリクスが設けられた色変換セルを示す図。

【図 4 0】本発明の一実施形態による赤色変換セル、緑色変換セル、および色変換セルを有していない青色画素のマトリクスを示す図。

【図 4 1】本発明の一実施形態による、赤色変換セル、緑色変換セル、色変換セルを有していない青色画素のマトリクス、および不透明／反射マトリクスを示す図。

【発明を実施するための形態】

【0051】

本発明の実施形態を、添付の図面を参照して、例示的なものとして以下に説明する。

一般に、本発明は、低消費電力の高輝度ディスプレイを提供することにある。

図 1～図 4 1 は、本発明によるマイクロディスプレイを製造する方法を示す。これについては以下で説明する。

【0052】

図 1 は、発光 GaN 層 3 を示し、発光 GaN 層 3 の上にはオーミック電流拡散層 2 と二酸化シリコン層 1 とが設けられている。GaN 層 3 の下には、他の層よりもかなり厚い基板層 4 が設けられている。オーミック電流拡散層 2 は、約 20 nm の厚さを有する。二酸化シリコン層 1 は約 200 nm の厚さを有する。基板層 4 は、約 200 μm の厚さを有する。基板層 4 は、サファイア、シリコン、GaN および炭化ケイ素のような任意の適切な材料とすることができる。オーミック電流拡散層 2 の材料の例は、Ni/Au または Ni/Pt または Au/Pt または Pt/Ni/Au Ni/Ag または Pd または ITO または Ni/ITO である。

【0053】

図2は、GaN層3が、二酸化シリコン層1およびオーミック電流拡散層2を含むエッチングされた画素を有する代替のプロセス方法を示す。これは、LED画素を形成するための標準技術である。図2では、典型的には、最終画素寸法と同じサイズになる拡散層2が画定される。

【0054】

図3では、GaN変形プロセスである図1に示されたデバイスに対するエッチングプロセスが実行される。エッチングにより、GaN層3がエッチングされたエッチング領域5が生成される。エッチングプロセスは、任意の適切なエッチングプロセスを使用して実行され、好ましくは、 CF_3 を使用するプラズマエッチングによって実行されるが、ウェットエッチングなどの他の技術を使用することができる。n材料へのエッチングは、CIを用いたプラズマエッチングを用いて行うことができる。

10

【0055】

図4では、図2に示すデバイスの代替デバイスが、画素の周りのGaN層3においてエッチングされて、エッチングされた領域5が形成される。

図5に示すように、画素形成を可能にするためにマスクが次に適用される。オーミック電流拡散層2および二酸化シリコン層1がエッチング除去されて画素6が形成される更なるエッチングプロセスがある。エッチングプロセスは、 CHF_3 等の任意の適切なプラズマエッチングプロセスを用いて実行される。画素6は、マトリクス状に形成することができる。これにより、 $0.5\mu\text{m}$ から $100\mu\text{m}$ の寸法を有する画素が残る。典型的な寸法は、約 $3\mu\text{m}$ である。

20

【0056】

図6に示すプロセスステップでは、導電領域および絶縁領域を生成するために使用されるプラズマ処理7がある。保護されていないGaNは、例えば CHF_3 等のプラズマのGaN改質プロセスに晒される。その後、パターン化された特徴部の除去に続いて、構造のアニーリングを行って、プラズマに晒された領域に高抵抗層が形成され、一方、マスクによって保護された層において導電性（例えば、オーミックコンタクト）が維持されて、画素または画素のアレイが形成される。

【0057】

図7において、マスク層が形成される。画素6の上部の二酸化シリコン層1が除去され、フォトレジストのみまたは誘電体（例えば、上部にフォトレジストを有して SiO_2 がパターンニングされた SiO_2 ）の完全な層8の形態で再堆積される。

30

【0058】

図8において、nコンタクト領域および拡散材料の上のマスクが開口される。次いで、導電性コンタクトが例えば、 $\text{Ti}:\text{Au}$ または他の組み合わせで堆積される。nコンタクト領域におけるエッチング側壁は、p-n接合の両端の短絡を防止するために側壁上に電気絶縁層を有していることは明らかである。画素6の上の二酸化シリコンの完全な層8の領域がエッチング除去されて、コンタクトを形成するために下方にあるオーミック電流拡散層2へのコンタクト窓10が形成される。さらに、nコンタクト金属層9がエッチングの領域5に堆積される。nコンタクト金属層9はグローバルコンタクトを形成し、かつ電氣的機能および／または製造プロセスにおけるさらなるエッチングステップを制御するためのガイドとしての機能を有する。

40

【0059】

図9において、ボンディングパッド11が堆積されてnコンタクトおよびpコンタクトを形成する。これは、同じマスク層または代替的に新たなマスクを使用することができる。pボンディングパッドおよびnボンディングパッドは、同じ高さを有するという利点を有し、したがって、LEDアレイに対するボンディングの成功確率が改善される。nパッドのエッチング深さは、後のプロセス（すなわち、GaN側からエッチングし、レーザーリフトオフ後に露出された状態）のための正確なエッチングストップと、ウェハの裏面上の分散した電気コンタクトに対する接続を提供する手段との両方として使用することができる。さらに、ボンディングパッド金属を形成するためのマスク層は、トポロジー（

50

topology) のない層を提供することができ、そのようなプロセスとして、CMP (化学機械的研磨 (ダマシン)) 等を使用して、マスク層の上部に対して金属を平坦化することができる。この研磨プロセスにより、平坦なボンディング面の特性を有することが可能となる。その結果、フリップ・チップ・バンプ・ボンディング (熱音波または熱圧縮)、または直接ボンディングまたはバックプレーン (例えば CMOS、TFT または NMOS 層) に対する機械的および電氣的結合を形成する他の技術を含むが、これに限定されない一連のボンディング・プロセスを使用することが可能である。

【0060】

図 10 に示すように、基板層 4 は、レーザーリフトオフなどの任意の適切な技術によって除去される。次いで、基板層 4 は、シリコン化学機械的研磨およびシリコンに対するエッチングを受ける。基板 (サファイアなど) 上の GaN は、基板層に接触している GaN 表面が一時的なウェハに結合される。GaN 層を基板から分離するために、業界標準技術を使用することができる。この特定の例では、レーザーリフトオフが使用される。代替的に、シリコンまたは GaN を除去するために CMP を使用することができる。これは、基板内に特徴部をエッチングすることができるよう、基板のエッチングと組み合わせられる。後に (図 13) に示すように、Si からピラーを残して、サブ画素間の分離を提供することができる。一時的なウェハ 13 の厚さは、GaN 層 3 よりもかなり厚い。

【0061】

図 11 では、GaN 層が裏面上に露出されるので、この構造内に一連の特徴部を形成することができる。これは、より多くの光を取り出す手段および／またはサブ画素間の光学的クロストークを減少させる特徴部を提供する手段を提供することができる。GaN 層 3 は、エッチングされて、レンズの形態の光学的特徴部 14 が形成される。光学的特徴部 14 は、凸形状であり、かつ放射を最大にし、スペクトルクロストークを最小にする。反射防止膜として機能するように SiO₂ 等の特徴部上に層を堆積することも可能である。この特定の特徵部では、光取り出しを増加させ、サブ画素間の光学的クロストークを低減するために、レンズが形成される (高さはエッチングストップを用いて正確に決定され得る)。

【0062】

図 12 に示すように、代替例では、エッチングを用いて粗面化領域 15 を形成することができる。粗面化領域 15 は、光取り出しを改善するために用いることができる。この場合、散乱面がエッチングによって形成される。図 11 と同様に、1 つまたは複数の層を堆積させて、フレネル反射を低減することができる。

【0063】

図 13 は、マトリクスエッチングプロセスにおいて、GaN ピラー 16 が形成される更なる代替例を示す。図 10 で説明したように、ピラー 16 は光取り出し特徴部 (この例ではレンズ) の間に形成することができる。これは、標準的な技術を用いて光取り出し機能と同時に GaN 内に形成することができる。代替的に、ピラー 16 は、元の基板 (図 10 に記載) に形成するか、または色変換基板 (図 23 に記載) に形成することができる。ピラー 16 は、技術に関係なく理想的には滑らかな表面と高反射性の構造を有する。

【0064】

図 14 に示すプロセスは、GaN 層 3 が貫通してエッチングされて、エッチングされた領域 5 の n コンタクト金属層 9 に対するエッチングされた領域 17 を形成する更なるエッチングプロセスを含む。この特定の例では、光取り出し特徴部 (レンズ) および n 開口を同時に形成することができる。エッチングは、任意の適切なエッチング技術によって行われる。

【0065】

図 15 は、n コンタクト層 9 がレンズの厚さを制御するためのエッチングストップとして使用される代替例を示す。レンズエッチ 18 の間に終点検出を使用して、n コンタクト金属層 9 にまで貫通する開口の形成と、レンズ厚さの制御を提供すること同時に行う。図 9 に記載されているように、図 14 のプロセスの好ましい実施形態は、レンズのエッチン

10

20

30

40

50

グ深さ、したがってQW層への近接度を正確に制御するように、nコンタクトをエッチングストップとして使用できることである。

【0066】

図16は、導電性金属グリッドおよび／または不透明層19を堆積する堆積ステップがあることを示す。これは、図9で説明したもの、および露出したGaN面上に分散され電気コンタクトを形成するために記載された技能と同様である。この場合、これは、ボンディングパッドと導電性GaN面との間に電氣的ブリッジを形成する。この場合、不透明導体を使用される。結果として、これは光取り出し特徴部上に堆積されない。導電性金属グリッドおよび／または不透明層40は、バイアスを低減し、かつ遮蔽効果を有する。

【0067】

図17は、金属の代わりにITO導電層20を堆積させて透明導電層20を形成する代替例を示す。適切なITO厚さの選択は、反射防止コーティングを形成することができる。図16と同様に、分散したnコンタクトを形成することができる。しかしながら、この場合、透明なITO層を表面全体に均一に堆積させることができる（光取り出し特徴を覆わないようにパターン化することもできる）。これは、フレネル反射を低減するような厚さを有するように設計することもできる。

【0068】

図18は、GaNピラー16がn金属の層21でコーティングされ、クロストークを最小に抑えるために側壁を被覆するさらなる代替例である。これは、図10と図17との組み合わせであり、金属をパターン化して分散された電気コンタクトを提供し、かつ反射性ピラーを提供することができる。

【0069】

図19は、光取り出し特徴部、エッチングストップ、分散したnコンタクト、およびシリコン等の一時的なキャリアウェハにすべて結合されたものを形成する原理を説明するための図である。これは完成したGaNチップを集約し、その後、バックプレーン制御基板および色変換基板に統合することができる。

【0070】

図20では、SiO₂または任意の他の適切なタイプの単層または多層コーティング22が、GaNレンズ14およびn金属層19の表面上に堆積される。これは、保護および反射防止機能の両方を提供する。

【0071】

図21において、光学的特徴部14の湾曲した領域（または粗面化された領域15）のみが誘電体コーティング23で覆われているさらなる代替例がある。パターンニングは、光取り出し領域の上に堆積するためにのみ使用される。

【0072】

図22において、コーティング24a、24bが堆積されるさらなる代替例がある。よって、ここでは、多層誘電体コーティングが設けられる。ショートパス波長フィルタ機能を提供する機能を有する1つのコーティングまたは追加のコーティングまたは層が単に設けられてもよい。コーティング24a、24bは、光学的特徴部14のみを被覆するようにパターン化されるか、または表面を完全に覆ってもよい。ショートパスフィルタは、青色光がGaNを出射できるが、より長い波長（すなわち、色変換層によって生成された赤色光または緑色光）を反射するように設計され得る。図20および図21と同様に、本技術の大きな利点の1つは、多くの異なる層を光取り出し領域上に堆積できることである。この特定の構成では、ショートパスフィルタが使用される。これにより、ポンピング波長領域（例えば、青）の光を効率よく透過させることができる。ショートパスフィルタは、GaN表面に戻ってくる変換された光がエンドユーザの方向に出射する確率が高くなるように、より長い波長、すなわち緑色および赤色を反射する。

【0073】

図23において、GaN層が準備され、次の段階で色変換器領域を形成することを示している。色変換器をGaN表面上に配置することができるが、別の基板を使用して柔軟性

10

20

30

40

50

を向上させることが好ましい方法である。この場合、色変換器は、蛍光体、量子ドット、有機物質またはそれらの組み合わせであってもよい。色変換器基板は、ガラス、サファイア、シリコン等のような材料の範囲とすることができる。この場合、各色変換器はサブ画素を提供し、かつ光学的にポンピングされる（好ましくは青またはUV光）。青色ポンピング波長が使用される場合、青色サブ画素は色変換物質を有さないが、同様の発光特性（例えば、ビームの発散）を有するように色変換器を模倣するための材料を有する。各LEDポンピングがUVの場合、赤、緑、青の色変換器が設けられる。コントラストを改善し、隣接する画素への光漏れを防止するために、サブ画素間にもマトリクスが形成される。これは、ブラックマトリクスまたは反射構造であってもよい。典型的には、マトリクスは色変換基板上に形成される。色変換器は、色変換層25、基板26、透明層27およびマスク28を含む。基板26は、ガラス、サファイア、シリコンまたは任意の他の適切な材料から作製され得る。

10

【0074】

図24は、色変換領域用のマトリクスを形成するための任意選択を示す。シリコン基板上のGaNのルートが使用される場合、シリコン基板を容易に研磨し、かつエッチングすることが可能である（サファイアまたはSiC等の他の基板の場合、これははるかに困難なプロセスである）。その結果、湿式エッチングまたは乾式エッチング性能を用いてシリコン中にマトリクスをエッチングすることが可能である。どちらのエッチング技術を用いても、高いアスペクト比（即ち、構造の高さ対幅）を有するマトリクスを形成することができる。シリコンは、可視波長領域の光を吸収し、かつコントラストを高める。シリコンマトリクスを金属化して反射を提供し、かつ光変換／出力を向上させることも可能である。色変換器は、色変換層25、透明層27およびエッチングされたシリコン領域29を含む。

20

【0075】

図25は、更なる代替例の色変換器である。性能を向上させるために、色変換器の層上にフィルタを含むようにすることができ、ショートパスフィルタは、青色光を透過し、かつより長い波長（即ち、緑色および赤色）を反射する。説明を簡単にするために、多層コーティングを全てのセル上に形成することができる。その結果、本質的に等方性である変換された光は、反射され、意図された方向に出射する。青色発光画素の場合、フィルタを有することが適切である場合とそうでない場合とがある。UV光でポンピングする場合、フィルタは、すべてのセルに配置され、かつUVポンピングを透過するが、長波長を反射する特性を有する。

30

【0076】

図26は、導波路のように動作するものとして説明される更なる代替例の色変換器である。前述したように、色変換層25、透明層27、およびマスク28が設けられている。さらに、不透明／反射特徴部33、光導波機能を提供する改質屈折率透明層34、および未改質屈折率層35が設けられている。（色変換器およびマトリクスが形成されている）色変換器の透明基板に関して、透明層27を改質することができる。これにより、基板平面に垂直な導波路を形成することができる。結果として、より高い屈折率の層は、光導波を強化し、かつ光をより低い発散で出射することを可能にする。基板の屈折率は、導波路を形成するためにレーザ誘起効果によって一例として改質することができ、またはより高い屈折率の材料を用いたエッチングおよび充填によって形成することができる。0.5～2mmの標準厚さの透明層34を使用することが可能である。さらに、20μmまでの厚さの基板層34を使用することが可能である。

40

【0077】

図27は、ロングパスフィルタとして記載された更なる代替例の色変換器である。色変換器の透明基板の更なる任意選択／実施形態は、色変換器が基板上に堆積される前にロングパスフィルタを堆積することである。これは、この配置において、変換されない青色光が色変換領域に反射されることを除き、図24と同様に動作する。色変換器は、青のサブ画素を覆わないようにパターン化される。色変換器は、色変換層25の下方に位置するロ

50

ングパスフィルタ 31 を有する。ロングパスフィルタ 31 は、変換された光が出射するのを許容するが、青の変換されていない光を再循環させる。また、図 27 は、青色光の透過を可能にするために、ロングパスフィルタ 32 が青色画素の上に堆積されないことを示している。

【0078】

図 28 に示す次のステップにおいて、色変換器が LED 層に搬送されて LED 層に整列される。この図では、色変換層は LED 基板に位置合わせされている。これは、2 つの構造のボンディングのための準備であり、かつ GaN サブ画素 LED が個々の色変換領域に整列するように完了される。

【0079】

図 29 において、色変換層が LED 層の他の部分の上方に整列されている様子が更に示されている。図 29 は、図 28 の概略図である。図 29 は、色変換層用の透明基板と、薄い GaN LED 層を支持するために使用される一時的なウェハとを強調する。

【0080】

図 30 において、色変換器がデバイスの他の部分に取り付けられている。したがって、適切な位置合わせが完了すると、2 つの層を接触させて共にボンディングする。一例として、これはエポキシタイプのボンディング・プロセスであってもよい。この層のボンディングを実施して、2 つの基板の間に局所的な気密シールを提供することも可能であり、これにより、色変換層に対する保護が強化される。好ましい実施形態では、色変換器は青色光でポンピングされ、蛍光体層である赤色／緑色変換層が設けられている。代替的に、層は、量子ドットまたは透明／拡散層（青色）またはそれらの混合である。図 30 は、不透明／黒色マスクまたは反射マスク 28 が、ガラス基板から垂直方向に延在することを示している。反射マスク 28 は、光を再循環させ、クロストークを最小に抑え、表示コントラストを向上させる性能を有していることが好ましい。したがって、反射マスク 28 は、フィルタが層の前に配置されたときに、青色光を透過し、赤色光および緑色光を反射する性能を有する。代替的に、フィルタが層の後に配置される場合、青色光は再循環され、赤色および緑色が透過される。

【0081】

図 31 において、一時的な層 13 は、組み合わされた層から除去される。これは、加熱、溶媒および／または他の標準的な技術によって達成することができる。

図 32 において、電子駆動層 39 が金属ボンディングパッド 11 に搬送され、金属ボンディングパッド 11 と整列される。電子駆動層 39 は、CMOS、TFT または NMOS 層である。図では、分かりやすくするためにトポロジーを有するボンディングスタックを示す。好ましい実施形態では、GaN 改質 LED は、平坦化された表面と共に使用することができる（図 9 の説明は、平坦で滑らかな表面を提供する方法である）。トポロジーがまったくないか、僅かであっても、異なる範囲の制御バックプレーンを CMOS、NMOS、TFT などを含むがこれに限定されない GaN 表面にボンディングすることができる。

【0082】

図 33 では、金属ボンディングパッド 39a がボンディングパッド 11 に取り付けられている。これは、表示性能を提供するために必要な多くの特徴部を強調する完成したマイクロディスプレイ構造である。

【0083】

図 34 は、レイアウト A における画素レイアウトの実施例の平面図である。示される実施形態では、3 つのサブ画素 43 は、 20×20 ミクロンのセル内に配置される。これは、GaN 誘導サブ画素の可能なレイアウトを強調している。この特定の構成では、3 つの LED 43 が、一例として、 $20 \mu\text{m} \times 20 \mu\text{m}$ の画素領域内に配置される。

【0084】

図 35 において、ボンディングパッド 39a は、画素 43 から離れて配置されているように示されている。各 LED サブ画素に関連するボンディングパッドは、一般に、より大

10

20

30

40

50

きい。これにより、結合力が分散され、物理的損傷の可能性が低減される。さらに、ボンディングパッドの寸法を大きくすることによって抵抗を低減することができる。サブ画素の GaN mod 定義のような技術を用いることにより、GaN 表面上のトポロジーを低減し、明確な分離層を有する LED サブ画素を提供することができるので、性能が向上する。

【0085】

図 36 は、レイアウト B における画素レイアウトの実施例の平面図である。示された実施形態では、各画素に含まれる 4 つのサブ画素 44 がある。これは、図 34 と同様であるが、この例では、 $20\mu\text{m} \times 20\mu\text{m}$ の画素領域内に 4 つの GaN 誘導サブ画素 44 が画定されている。

10

【0086】

図 37 では、ボンディングパッド 46 を画素 44 の上方に配置することができる。これは、図 36 に示す各サブ画素の上方に大きなボンディングパッドを有する図 35 と同様である。

【0087】

図 38 において、赤色変換セル 47、緑色変換層 48、および色変換セル 49 を有していない青色画素（透明／拡散層を含む）が設けられている。これは、図 34 のサブ画素レイアウトに関連する色変換層のレイアウトを表す。

【0088】

図 39 において、不透明／反射マトリクス 50 が示されている。これは、各サブ画素を分離するマトリクスも示す図 38 と同様である。

20

図 40 において、赤色変換セル 47、緑色変換セル 48、および色変換セル 49 を有していない青色画素のマトリクスが設けられている。これは、図 36 のサブ画素レイアウトに関連する色変換層のレイアウトを示す。

【0089】

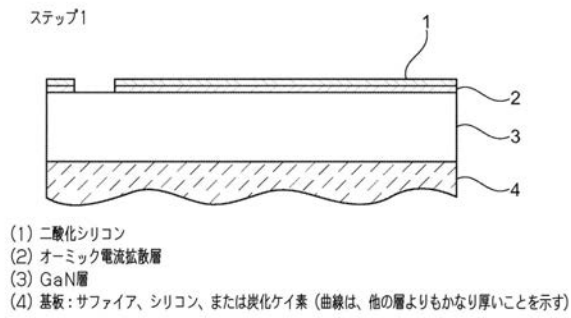
図 41 において、赤色変換セル 47、緑色変換セル 48、色変換セル 49 を有していない青色画素のマトリクス、および不透明／反射マトリクス 50 が設けられている。これは図 40 と同様であり、かつ各サブ画素を分離するマトリクスを示す。

【0090】

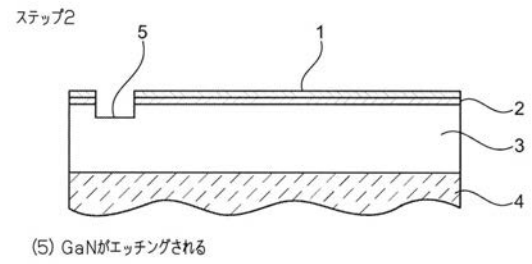
以上、本発明の特定の実施形態を説明したが、記載された実施形態からの発展は、依然として本発明の範囲内に入ることが理解されるであろう。例えば、任意の適切なタイプの色変換器および任意の適切なタイプの LED を使用することができる。

30

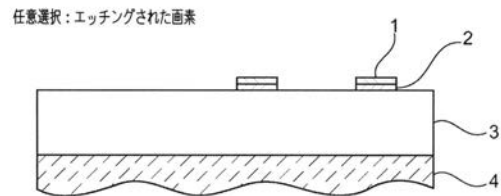
【図 1】



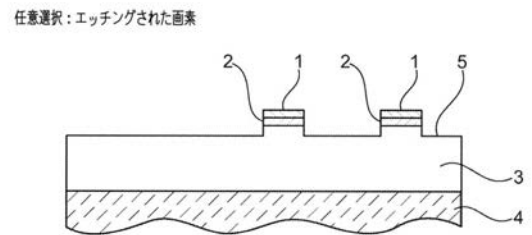
【図 3】



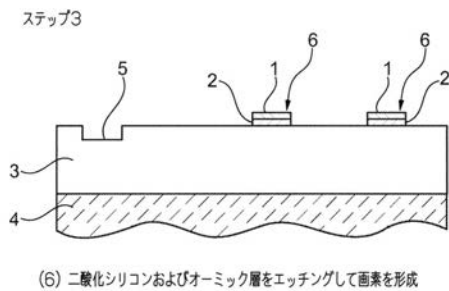
【図 2】



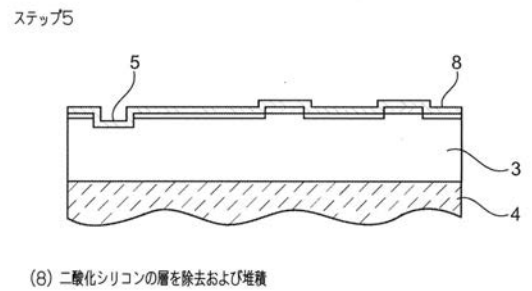
【図 4】



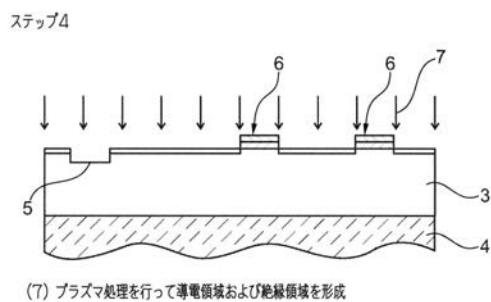
【図 5】



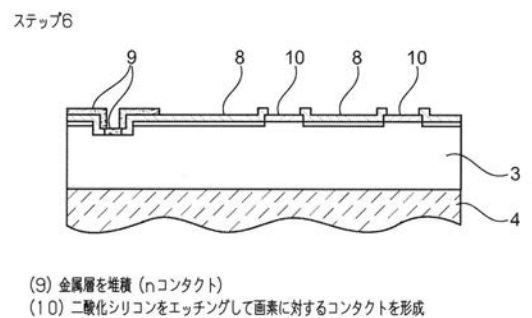
【図 7】



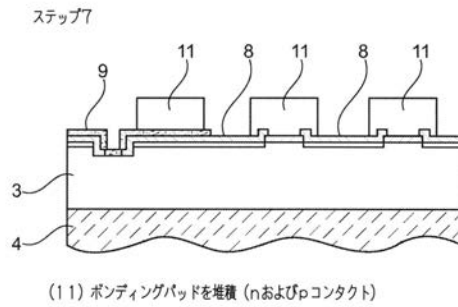
【図 6】



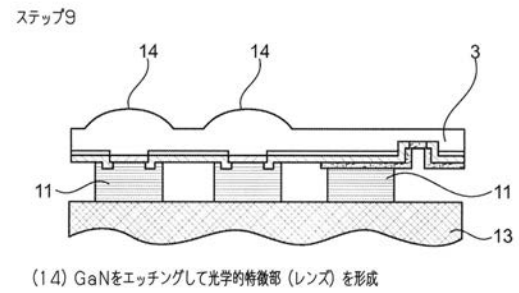
【図 8】



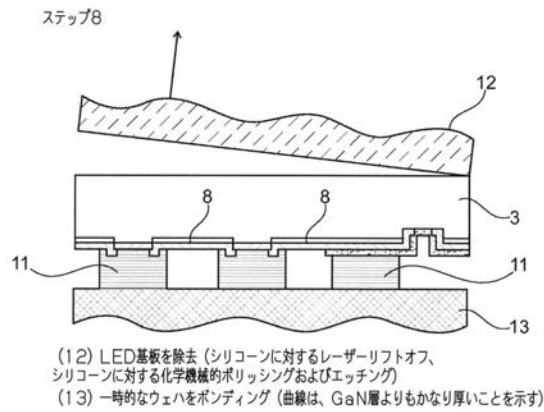
【図 9】



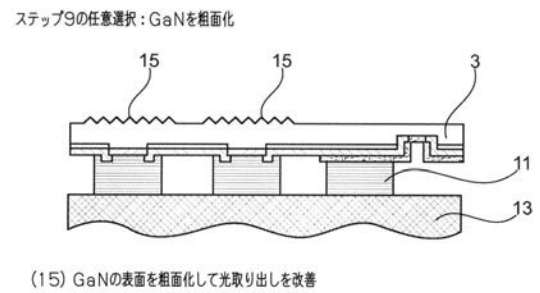
【図 1 1】



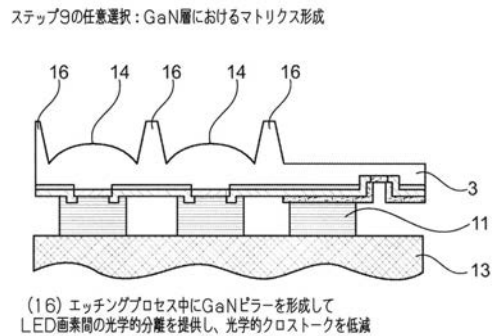
【図 1 0】



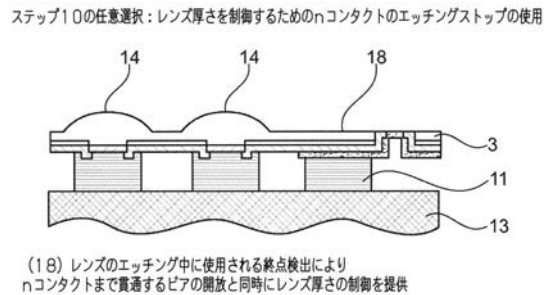
【図 1 2】



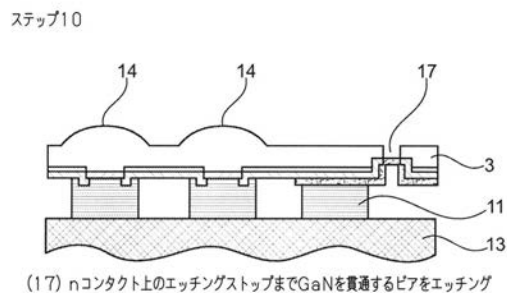
【図 1 3】



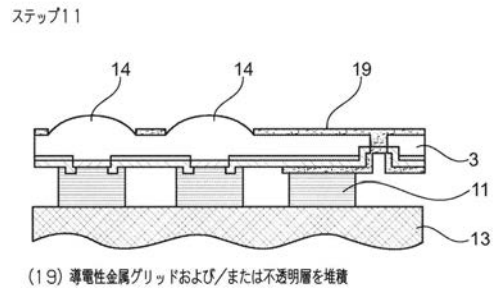
【図 1 5】



【図 1 4】

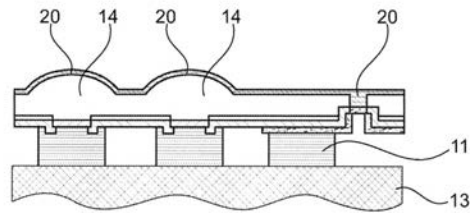


【図 1 6】



【図 17】

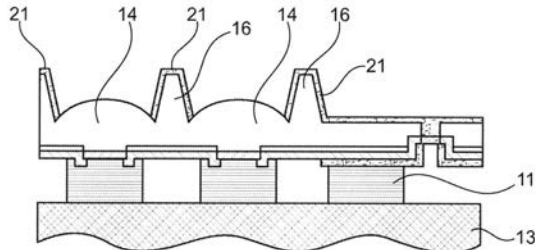
ステップ11の任意選択：ITO導電層



(20) ITOを金属の代わりに堆積して透明導電膜を形成。
適切なITOの厚さの選択により反射防止機能が生じる

【図 18】

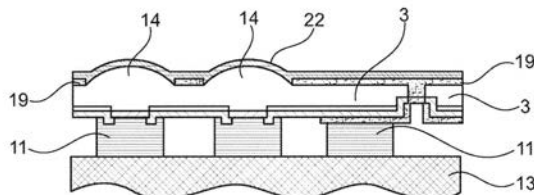
ステップ11の任意選択：画素分離マトリクスを形成するためのn金属の使用



(21) 実施される場合に、堆積されたn金属がクロストーク低減マトリクスの側壁も被覆

【図 20】

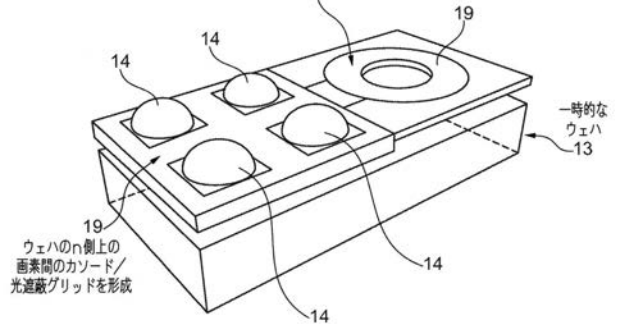
ステップ12



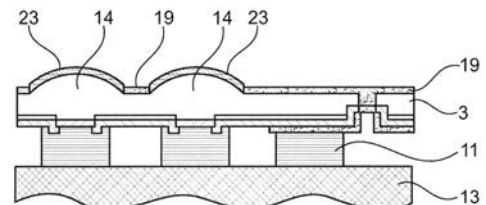
(22) SiO_2 または他の単層または多層コーティングをGaNレンズおよびn金属の表面上に堆積。これにより、保護および反射防止の両方の目的が提供される。

【図 19】

ウェハを貫通するビアおよび
Auエッチングストップ層上の
コンタクトを用いるウェハのp側上の
nパッドに対するnグリッドコンタクト



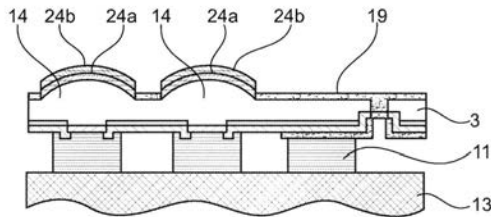
【図 21】

ステップ12の任意選択：パターン化された SiO_2 

(23) GaNレンズ（または粗面化表面）のみが被覆されるように誘電体コーティングをパターン化

【図 2 2】

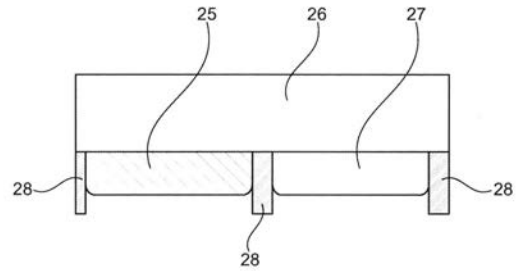
ステップ12の任意選択：ショートパスフィルタ（例えば、多層誘電体コーティング）



(24) 異なるまたは追加のコーティングまたは層を塗布または堆積してショートパスフィルタ機能を提供。これは、レンズのみを被覆するようにパターン化されるか、全面を被覆し得る。ショートパスフィルタは、青色光をGaNから射出するのを許容するが、より長い波長（即ち、色変換層によって生成された赤色光または緑色光）を反射する。

【図 2 3】

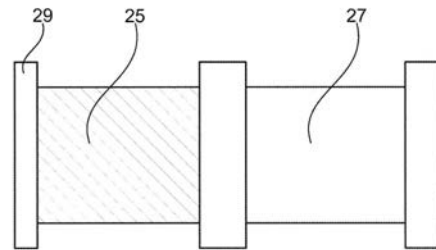
ステップ13



(25) 色変換層（例えば、蛍光体、量子ドット、有機物質、またはそれらの組み合わせ）
 (26) 基板（ガラス、サファイア、シリコンまたはその他）
 (27) 青色光の射出を許容する透明層（拡散機能または散乱機能をも提供）
 (28) 不透明／黒色マスクまたは反射性のマスク

【図 2 4】

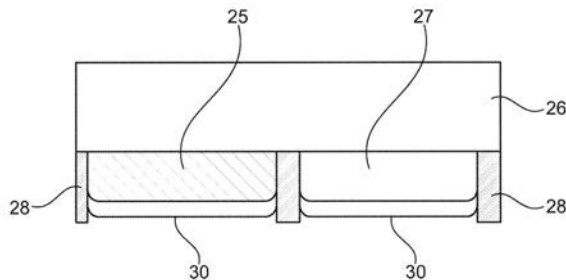
ステップ13の任意選択：シリコン基板



(29) エッチングされたシリコン基板

【図 2 5】

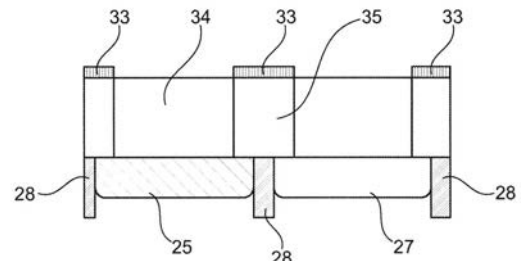
ステップ13の任意選択：ショートパスフィルタ



(30) 青色光が入射するのを許容するが、緑色または赤色等のより長い変換された光を反射するショートパスフィルタ層

【図 2 6】

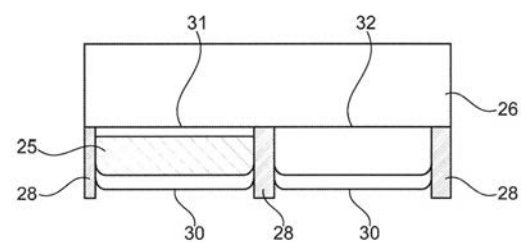
ステップ13の任意選択：導波路



(33) 不透明／反射特徴部
 (34) 光学的導波路機能を提供するための改質屈折率透明層
 (35) 未改質屈折率

【図 2 7】

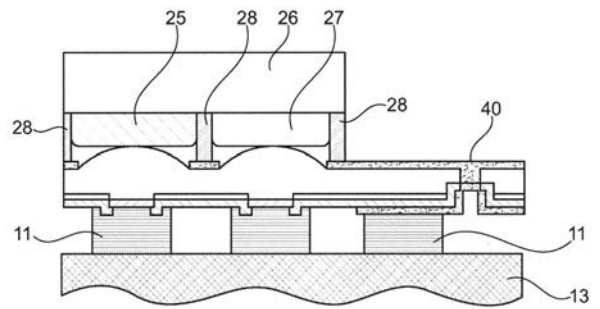
ステップ13の任意選択：ロングパスフィルタ



(31) 色変換層の下に位置するロングパスフィルタ（変換された光の射出を許容するが、青色の変換されていない光を再循環）
 (32) 青色光の透過を許容するためにロングパスフィルタは青色画素上には堆積されない。

【 図 3 0 】

ステップ15



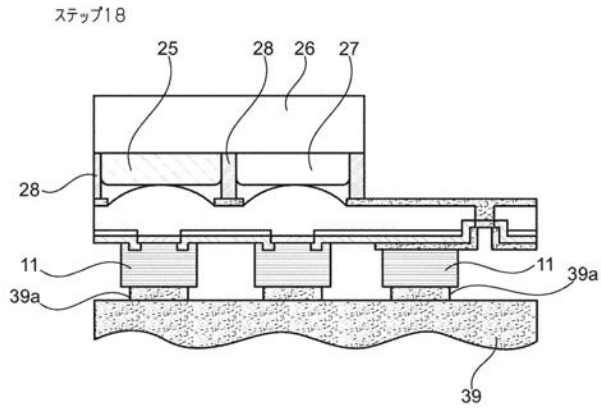
(37) 色変換層がLED層にボンディングされる。

【 図 3 2 】

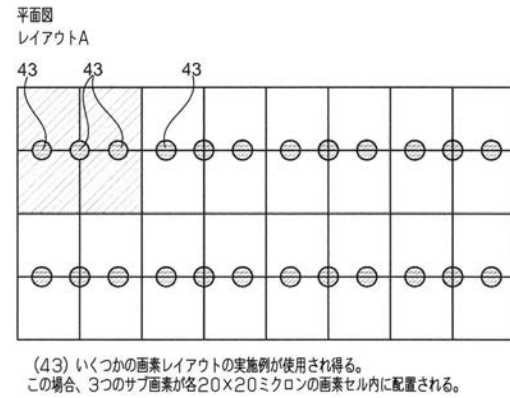


(39) 電子駆動層 (CMOS、TFTまたはその他) を整列しボンディング

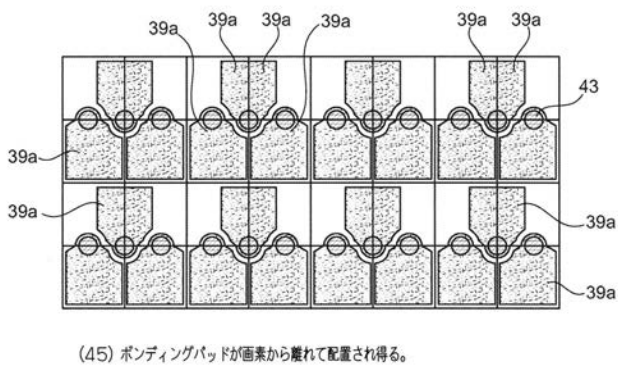
【図 3 3】



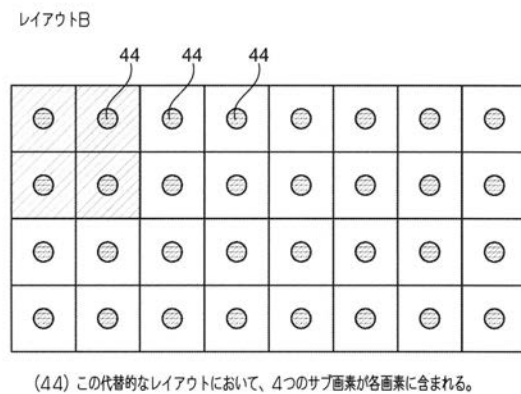
【図 3 4】



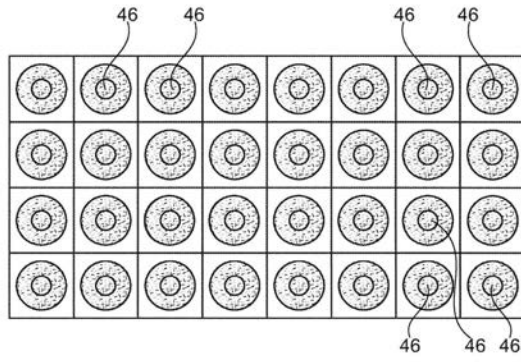
【図 3 5】



【図 3 6】

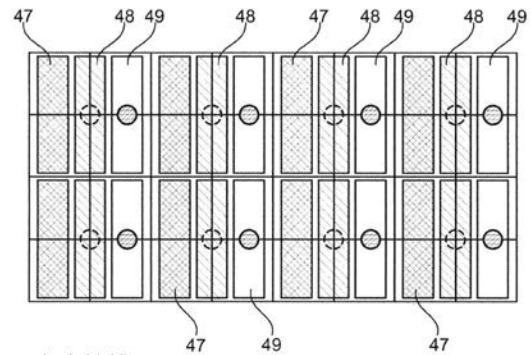


【図 3 7】



(46) ボンディングパッドが画素の上に配置され得る。

【図 3 8】

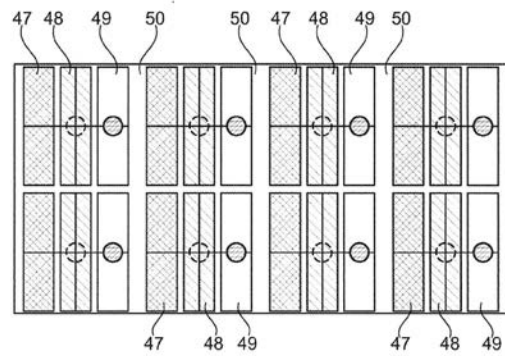


(47) 赤色変換セル

(48) 緑色変換セル

(49) 色変換セルを有していない青色画素（透明／拡散層を含み得る）

【図 3 9】



(50) 不透明／反射マトリクス

【図 4 0】

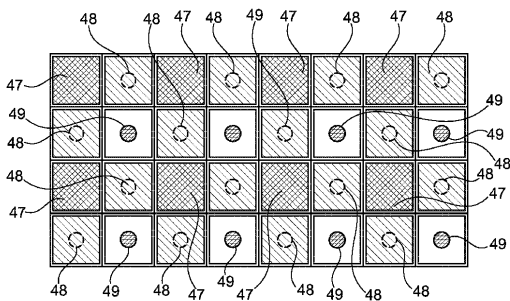


Fig. 40

【図 4 1】

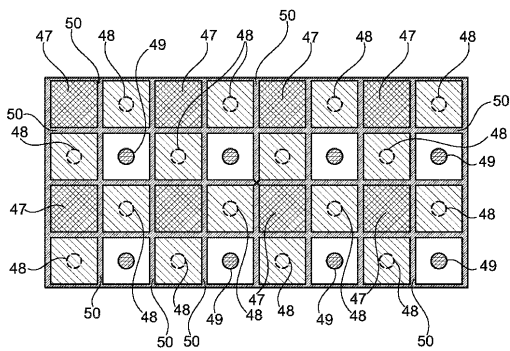


Fig. 41

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/GB2015/053496

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L25/075 H01L27/15 H01L33/50 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EP0-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category ^a	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012/223875 A1 (LAU KEI MAY [CN] ET AL) 6 September 2012 (2012-09-06) abstract; figures 3,7,9,10 paragraphs [0047], [0051], [0054], [0059], [0064], [0098] - [0100] -----	1-68
A	WO 2014/030830 A1 (LG ELECTRONICS INC [KR]) 27 February 2014 (2014-02-27) pages 12-14; figures 6-9 -----	1-68
A	US 2011/299044 A1 (YEH WEN-YUNG [TW] ET AL) 8 December 2011 (2011-12-08) paragraphs [0061], [0063], [0090] - [0094]; figures 3,20 -----	1-68
A	US 2011/303893 A1 (WAGNER NICOLE J [US] ET AL) 15 December 2011 (2011-12-15) paragraphs [0077] - [0099]; figure 7 ----- -/--	1,20,55, 62
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
^a Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
13 January 2016		20/01/2016
Name and mailing address of the ISA/ European Patent Office, P.B. 6818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Claessen, Michiel

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No

PCT/GB2015/053496

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CHOI H W ET AL: "GaN micro-light-emitting diode arrays with monolithically integrated sapphire microlenses", APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS, 2 HUNTINGTON QUADRANGLE, MELVILLE, NY 11747, vol. 84, no. 13, 29 March 2004 (2004-03-29), pages 2253-2255, XP012060896, ISSN: 0003-6951, DOI: 10.1063/1.1690876 the whole document	1,20,55, 62
A	US 2014/111408 A1 (LAU KEI MAY [HK] ET AL) 24 April 2014 (2014-04-24) paragraphs [0077], [0078]; figures 8,9	1-68
A	US 5 661 371 A (SALERNO JACK P [US] ET AL) 26 August 1997 (1997-08-26) column 9, lines 11-18; figures 19-26	1,17-19

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/GB2015/053496

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2012223875 A1	06-09-2012	US 2012223875 A1	06-09-2012
		US 2014091993 A1	03-04-2014
-----		-----	
WO 2014030830 A1	27-02-2014	CN 104584110 A	29-04-2015
		EP 2888729 A1	01-07-2015
		KR 20140025055 A	04-03-2014
		US 2015221619 A1	06-08-2015
		WO 2014030830 A1	27-02-2014
-----		-----	
US 2011299044 A1	08-12-2011	CN 102341740 A	01-02-2012
		US 2011297975 A1	08-12-2011
		US 2011299044 A1	08-12-2011
		WO 2010149027 A1	29-12-2010
-----		-----	
US 2011303893 A1	15-12-2011	EP 2356701 A2	17-08-2011
		TW 201027808 A	16-07-2010
		US 2011303893 A1	15-12-2011
		WO 2010056596 A2	20-05-2010
-----		-----	
US 2014111408 A1	24-04-2014	NONE	
-----		-----	
US 5661371 A	26-08-1997	NONE	
-----		-----	

フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 33/42 (2010.01) H 0 1 L 33/42

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 ゴートン、スティーブン ウォーレン
イギリス国 E H 1 O 6 E Q エディンバラ コレニー ドライブ 5
Fターム(参考) 5F241 CA40 CA74 CA88 CA92 CB14 CB15 CB16 CB23 CB33 CB36
FF06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2017538290A5	公开(公告)日	2018-07-19
申请号	JP2017526124	申请日	2015-11-18
申请(专利权)人(译)	Okyurasu Buiaru , LLC		
[标]发明人	ボナージェームズロナルド バレンタインガレスジョン ゴートンステイーブンウォーレン		
发明人	ボナー、ジェームズ ロナルド バレンタイン、ガレス ジョン ゴートン、ステイーブン ウォーレン		
IPC分类号	H01L33/08 H01L33/20 H01L33/00 H01L33/32 H01L33/40 H01L33/42		
CPC分类号	H01L27/156 H01L33/0079 H01L33/505 H01L33/507 H01L33/58 H01L2924/00 H01L2924/0002 H01L25/167 H01L33/22 H01L33/32 H01L33/60 H01L33/62 H01L2933/0041 H01L2933/0058 H01L2933/0066 H01L2933/0091		
FI分类号	H01L33/08 H01L33/20 H01L33/00.Z H01L33/32 H01L33/40 H01L33/42		
F-TERM分类号	5F241/CA40 5F241/CA74 5F241/CA88 5F241/CA92 5F241/CB14 5F241/CB15 5F241/CB16 5F241/CB23 5F241/CB33 5F241/CB36 5F241/FF06		
优先权	2014020452 2014-11-18 GB		
其他公开文献	JP2017538290A JP6505226B2		

摘要(译)

在本说明书中，描述了具有低功耗的高亮度显示器。更具体地，描述了用于制造集成LED微显示器和集成LED微显示器的方法。